STD ROM 16 プローブ取扱説明書

本製品は、標準 16 **ビット** ROM **コネクタと** PARTNER-ET**Ⅱを接続するためのプローブです。**

標準 16 **ビット** ROM **コネクタを基板上に用意することによって、基板に直付けされた** ROM **（**SOP **パッケージ等）に対するエミュレーションが可能になります。**

32 **ビットのデータバスのエミュレーションには本製品を** 2 **個使用します。**

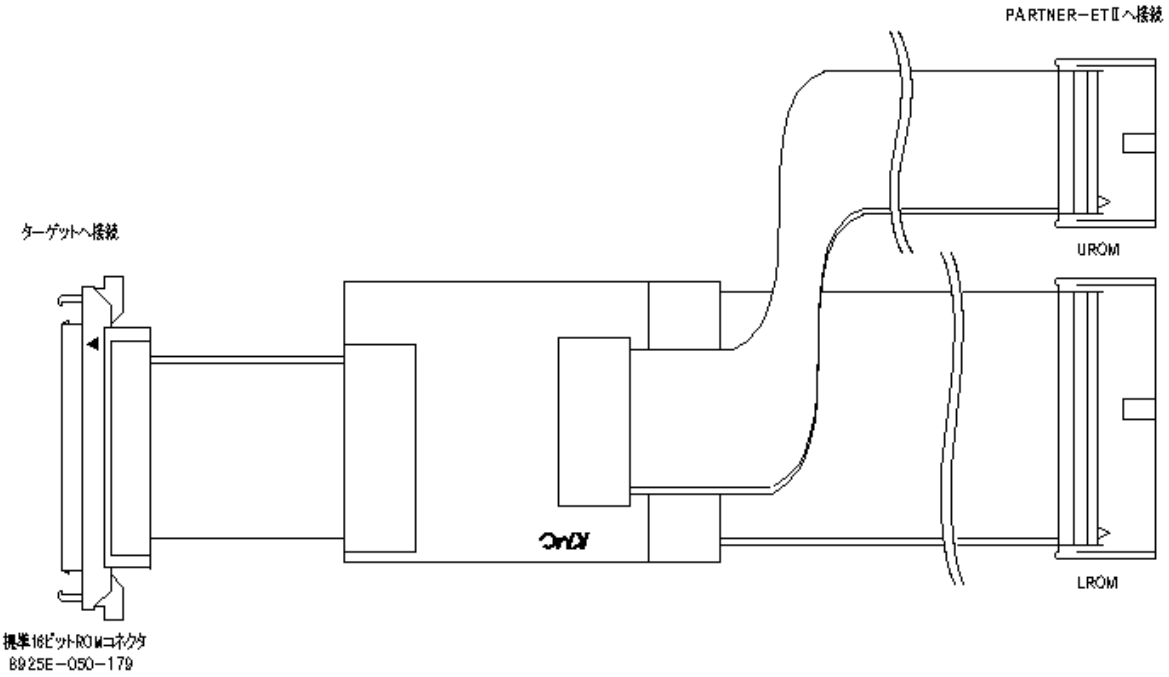


図1　標準16 ビットROM コネクタプローブ

信号線の種類

signal	IN/OUT	name	Comment
A0 - A22	IN	ADDRESS BUS	ROM と等価な信号を接続して下さい。 上位のアドレスは、下記 PARTNER-ETⅡの MODEL と有効アドレスを参考にして下さい。未使用の上位アドレスは GND に接続して下さい。
D0 - D15	OUT	DATA BUS	ROM と等価な信号を接続して下さい。
CE-	IN	CHIP ENABLE	LOW レベルで PARTNER-ETⅡが選択されます。
OE-	IN	OUTPUT ENABLE	LOW レベルで PARTNER-ETⅡのデータバスが出力されます。
WRL- WRH-	IN	Write Low-byte Write High-byte	LOW レベルで PARTNER-ETⅡのメモリに対し、直接書き込みを行います。 WRL-が D0..7 側の、WRH-が D8..15 側のバイトに対応します。ただし、フラッシュ ROM のライトエミュレーションをするものではありません。
PSENSE	IN	POWER SENSE	ROM の電源を接続して下さい。 ROM の電源電圧は 3V,3.3V,5V に対応しています。
INH-	OUT	INHBIT-	標準 16 ビット ROM コネクタプローブで常に LOW レベルをドライブしています。 本信号を基板側でプルアップしておくことで、このプローブの接続状態が分かります。このプローブが接続された状態では必ずオンボードの ROM をディゼーブルにして下さい。
GND	-----	GND	基板の GND に接続して下さい。

PARTNER-ETⅡの MODEL と有効アドレス

MODEL	有効アドレス	メモリサイズ	接続可能プローブ個数
10	A0-17	256Kbit×16（4Mbit）	1 個
20	A0-18	512Kbit×16（8Mbit）	1 個
30	A0-18	512Kbit×16（8Mbit）	2 個
31	A0-19	1Mbit×16（16Mbit）	2 個
32	A0-20	2Mbit×16（32Mbit）	2 個

物理的な仕様

物理的なインタフェースの仕様を以下に示します。

ピンの配置

A side	Signal	B side	Signal
A1	GND	B1	A0
A2	A1	B2	A2
A3	A3	B3	A4
A4	A5	B4	A6
A5	A7	B5	A8
A6	A9	B6	A10
A7	A11	B7	A12
A8	A13	B8	A14
A9	A15	B9	A16
A10	A17	B10	A18
A11	A19	B11	A20
A12	GND(A21)	B12	GND(A22)
A13	WRH-	B13	INH-(GND)
A14	WRL-	B14	GND
A15	CE-	B15	GND
A16	OE-	B16	PSENSE(VCC IN)
A17	D0	B17	D1
A18	D2	B18	D3
A19	D4	B19	D5
A20	D6	B20	D7
A21	D8	B21	D9
A22	D10	B22	D11
A23	D12	B23	D13
A24	D14	B24	D15
A25	GND	B25	GND

ターゲット基板側適合コネクタの種類

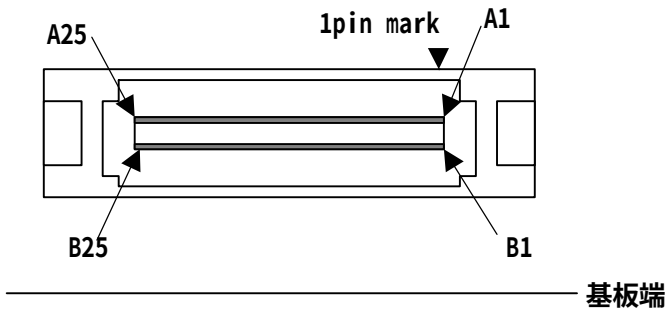
メーカ　：KEL

型番　　：8931E-050-178S（ストレート）

8931E-050-178L（アングル）

8930E-050-178MS（SMT ストレート）

物理的な配置（ターゲット基板側）



DC 特性

本製品を使用した場合の DC 特性は実装されている IC に依存します。IC については外部インターフェースを参照して下さい。

AC 特性

本製品を使用した場合の AC 特性を以下に示します。本製品にはそれぞれのケーブル間にバッファが入っています。PARTNER-ETⅡの ROM プローブに比べて最大 15nsec の遅延を考慮する必要があります。

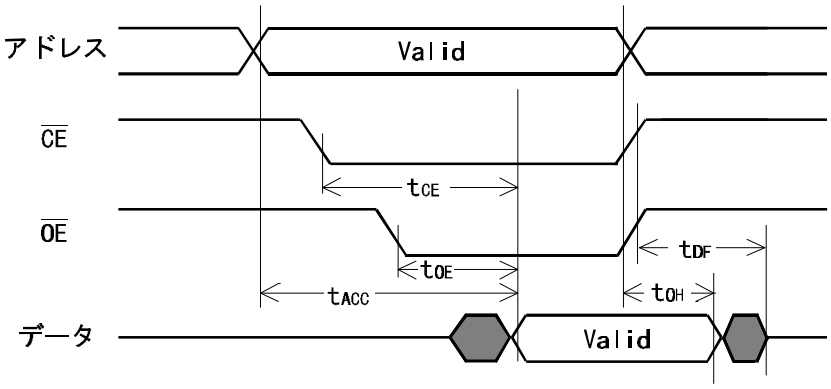
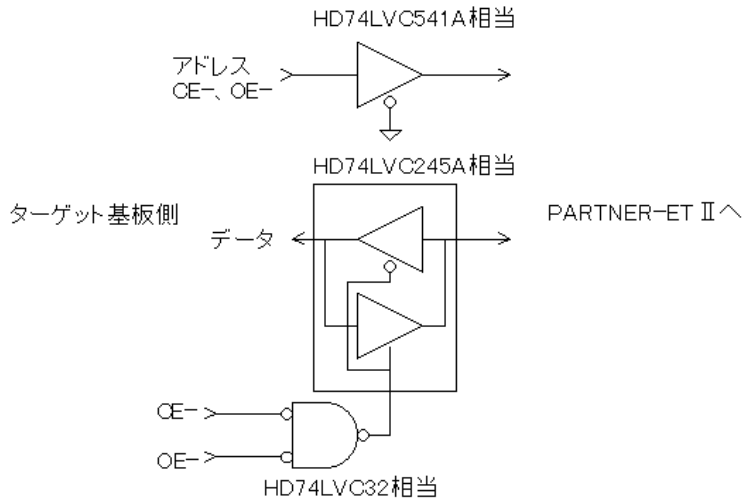


図2 タイミングチャート

ROMアクセスAC特性

記号	項目	最小	最大	単位
t_{ACC}	アドレスアクセスタイム	-	65	nsec
t_{CE}	CEアクセスタイム	-	45	nsec
t_{OE}	OEアクセスタイム	-	45	nsec
t_{OH}	出力ホールドタイム	5	-	nsec
t_{DF}	出力ディセーブルタイム	0	15	nsec

外部インターフェース



WR-信号

WRL-/WRH-信号は、ターゲットから PARTNER-ETⅡがエミュレーションしている ROM 空間にライトするためのストローブ信号です。この信号を使って、PARTNER-ETⅡのエミュレーションメモリを SRAM のように動作させることもできます。通常 ROM をエミュレーションしている場合には、これらの信号は使用しません。

WRL-、WRH-は本製品上の WR の JP をショートすることで有効になり、これにより PARTNER-ETⅡのエミュレーションメモリへの書き込みが行えます。WRL-が D0..7 側の、WRH-が D8..15 側のバイトに対応するストローブ信号です。ライト動作は一般的な SRAM のライトサイクルで行われます。フラッシュ ROM のエミュレーションではないことに注意してください。

注意：通常のデバッグを行う場合はユーザプログラムが不用意にデータを破壊することの無いようにWR は有効にしないで下さい。(JP をショートしない)